



SEMICONDUCTOR DEVICE WITH SEMICONDUCTOR CIRCUIT CONSISTING OF SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE

Patent number: JP2000156504
Publication date: 2000-06-06
Inventor: YAMAZAKI SHUNPEI; NAKAJIMA SETSUO;
 KUWABARA HIDEAKI
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
- international: G09F9/33; H01L21/336; H01L21/77; H01L21/84;
 H01L27/12; H01L29/786; G09F9/33; H01L21/02;
 H01L21/70; H01L27/12; H01L29/66; (IPC1-7):
 H01L29/786; G09F9/33; H01L21/336
- european: H01L21/77T; H01L21/336D2C; H01L27/12;
 H01L29/786B4B2; H01L29/786E4C4; H01L29/786G
Application number: JP19980251675 19980904
Priority number(s): JP19980251675 19980904

Also published as:

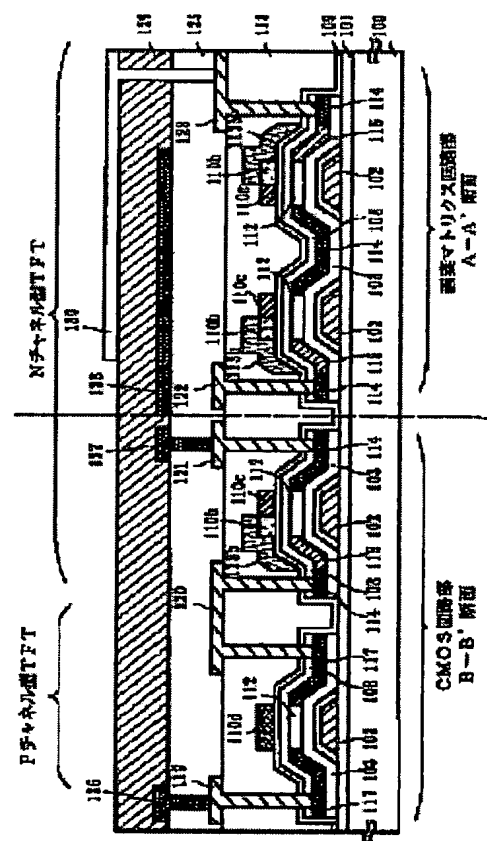
 EP0989614 (A)
 US6359320 (B)

Report a data error he

Abstract of JP2000156504

PROBLEM TO BE SOLVED: To improve high volume productivity and also improve reliability and reproducibility by having a heavily doped region in contact with a lightly doped region and an organic resin where an impurity with a specific valence is added in contact with a protection film in contact with a channel formation region.

SOLUTION: Gate wiring 102 is formed on a ground film in the case of the P-channel thin-film transistor of a CMOS circuit, and a gate insulation film 103 is provided on it. A P-type region 117 and a channel formation region 112 are formed on the gate insulation film as an active layer. An active layer is protected by first and second protection films 108 and 109 with the same pattern shape. A contact hole is formed on a first interlayer insulation film 118 that is made of an organic resin for covering an area on the second protection film 109. A first mask 110d with light-shielding property is formed on the second protection film at the upper portion of the channel formation region 112, thus preventing the channel formation region 112 from deteriorating. Three- valence and five-valence impurities are added to the first mask 110d and at least a certain amount of impurity concentration is included.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-156504

(P 2 0 0 0 - 1 5 6 5 0 4 A)

(43) 公開日 平成12年6月6日(2000.6.6)

(51) Int. Cl. ⁷

識別記号

F I

テマコード (参考)

H01L 29/786

H01L 29/78

616

A 5C094

21/336

G09F 9/33

K

G09F 9/33

H01L 29/78

617

M

619

A

627

G

審査請求 未請求 請求項の数23 O L (全18頁)

(21) 出願番号

特願平10-251675

(22) 出願日

平成10年9月4日(1998.9.4)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 中嶋 節男

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 桑原 秀明

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

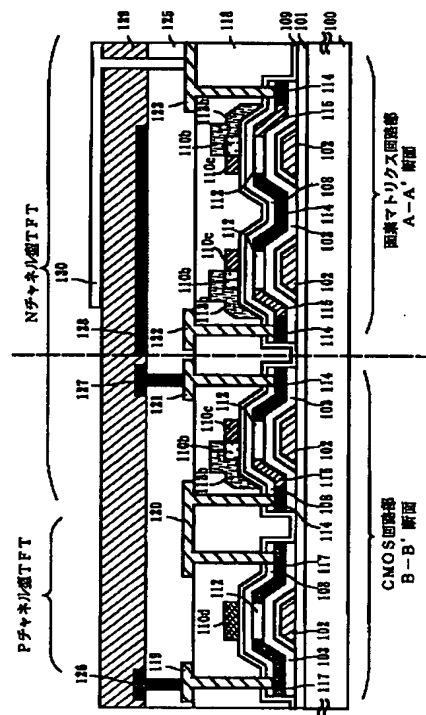
最終頁に続く

(54) 【発明の名称】 半導体素子からなる半導体回路を備えた半導体装置およびその作製方法

(57) 【要約】

【課題】 本発明は、再現性が高くTFTの安定性を向上し、生産性の高いLDD構造を備えた半導体素子からなる半導体回路を備えた半導体装置およびその作製方法を提供するものである。

【解決手段】 上記目的を解決するため、本発明は、回路構成の必要に応じて適宜第2のマスクのマスク設計を決定することにより、TFTのチャネル形成領域の両側または片側に、所望のLDD領域を形成することができる。



【特許請求の範囲】

【請求項 1】絶縁表面上にゲート配線と、前記ゲート配線に接するゲート絶縁膜と、前記ゲート配線上に前記ゲート絶縁膜を介して設けられたチャネル形成領域と、前記チャネル形成領域に接する低濃度不純物領域と、前記低濃度不純物領域に接する高濃度不純物領域と、前記チャネル形成領域に接する保護膜と、前記保護膜に接して 3 価または 5 価の不純物が添加された有機樹脂とを有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 2】絶縁表面上にゲート配線と、前記ゲート配線に接するゲート絶縁膜と、前記ゲート配線上に前記ゲート絶縁膜を介して設けられたチャネル形成領域と、前記チャネル形成領域の一方の側に設けられた低濃度不純物領域と、前記低濃度不純物領域に接する第 1 の高濃度不純物領域からなるドレイン領域と、前記チャネル形成領域のもう一方の側に設けられた第 2 の高濃度不純物領域からなるソース領域と、前記チャネル形成領域に接する保護膜と、前記保護膜に接して 3 価または 5 価の不純物が添加された有機樹脂とを有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 3】絶縁表面上にゲート配線と、前記ゲート配線に接するゲート絶縁膜と、前記ゲート配線上に前記ゲート絶縁膜を介して設けられたチャネル形成領域と、前記チャネル形成領域に接する第 1 の低濃度不純物領域及び第 2 の低濃度不純物領域と、前記第 1 の低濃度不純物領域及び前記第 2 の低濃度不純物領域に接する高濃度不純物領域と、前記チャネル形成領域に接する保護膜と、前記保護膜に接して 3 価または 5 価の不純物が添加された有機樹脂とを有し、前記第 1 の低濃度不純物領域のチャネル長方向の幅は、第 2 の低濃度不純物領域のチャネル長方向の幅と異なることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 4】請求項 1 乃至 3 のいずれか一において、前記ゲート配線は、単層構造または積層構造であり、タンタル、銅、クロム、アルミニウム、モリブデン、チタン、シリコンから選ばれた一種の元素、或いは P 型または N 型の不純物が添加されたシリコンを主成分とする材料からなることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 5】請求項 1 乃至 4 のいずれか一において、前記 3 価または 5 価の不純物はリンまたはボロンであることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 6】請求項 1 乃至 5 のいずれか一において、前記有機樹脂は、光感光性を有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 7】請求項 1 乃至 6 のいずれか一において、前記有機樹脂中の 3 価または 5 価の不純物の濃度が 1×10^{19} atoms / cm^3 以上であることを特徴とする半導体

素子からなる半導体回路を備えた半導体装置。

【請求項 8】請求項 1 乃至 7 のいずれか一において、前記高濃度不純物領域には珪素の結晶化を助長する触媒元素が含まれていることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 9】請求項 8 において、前記触媒元素は、Ni、Fe、Co、Pt、Cu、Au から選ばれた少なくとも 1 つの元素、または複数の元素であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 10】請求項 8 において、前記触媒元素は、Ge または Pb であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 11】請求項 1 乃至 12 のいずれか一において、前記半導体回路とは、マイクロプロセッサ、信号処理回路または高周波回路であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 12】請求項 1 乃至 11 のいずれか一において、前記半導体装置は電気光学装置又は電子機器であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 13】請求項 12 において、前記電気光学装置とは液晶表示装置、EL 表示装置、EC 表示装置又はイメージセンサであることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 14】請求項 12 において、前記電子機器とは、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグルディスプレイ、カーナビゲーション、パーソナルコンピュータ又は携帯情報端末であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 15】ゲート配線が形成された絶縁表面上にゲート絶縁膜、初期半導体膜とを順次大気にふれることなく積層形成する第 1 の工程と、赤外光または紫外光を照射することにより前記初期半導体膜を結晶化して結晶性半導体膜を形成すると同時に酸化膜を形成する第 2 の工程と、前記結晶性半導体膜のチャネル形成領域となるべき領域をマスクで覆い、前記酸化膜を介して結晶性半導体膜のソース領域またはドレイン領域となるべき領域に前記 3 価または 5 価の不純物元素の添加を行う第 3 の工程と、を有することを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項 16】請求項 15 において、前記第 1 の工程の後、前記初期半導体膜に珪素の結晶化を助長する触媒元素を表面に接して保持、あるいは膜中に保持させる工程を有することを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項 17】ゲート配線が形成された絶縁表面上にゲート絶縁膜、初期半導体膜、絶縁膜とを順次大気にふれることなく積層形成する工程と、前記絶縁膜を介して赤外光または紫外光を照射することにより前記初期半導体

膜を結晶化して結晶性半導体膜を得る工程と、前記結晶性半導体膜のチャネル形成領域となるべき領域をマスクで覆い、前記絶縁膜を介して結晶性半導体膜のソース領域またはドレイン領域となるべき領域に3価または5価の不純物元素の添加を行う工程と、を有する半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項18】請求項17において、前記ゲート絶縁膜、前記初期半導体膜、及び前記保護膜は、互いに異なるチャンバーを用いて形成することを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項19】請求項17において、前記ゲート絶縁膜、前記初期半導体膜、及び前記保護膜は、同一のチャンバーを用いて形成することを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項20】請求項17において、前記ゲート絶縁膜及び前記保護膜は、第1のチャンバーを用いて形成し、前記初期半導体膜は、第2のチャンバーを用いて形成することを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法の作製方法。

【請求項21】請求項15乃至20のいずれか一において、前記初期半導体膜を成膜する前に被膜形成面上を、活性水素または水素化合物によって汚染物を減少させることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項22】請求項15乃至21のいずれか一において、前記ゲート絶縁膜として窒化シリコン膜をいずれかの層に含む積層膜を形成する工程を有することを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項23】請求項15乃至22のいずれか一において、前記ゲート絶縁膜の一部としてBCB（ベンゾシクロブテン）を含む積層膜を形成する工程を有することを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、絶縁ゲート型トランジスタ等の半導体素子からなる半導体回路を備えた半導体装置の構造およびその作製方法に関する。特に、有機樹脂を用いて形成されたLDD構造を有する半導体素子からなる半導体回路を備えた半導体装置の構造およびその作製方法に関する。本発明の半導体装置は、薄膜トランジスタ（TFT）やMOSトランジスタ等の素子だけでなく、これら絶縁ゲート型トランジスタで構成された半導体回路を有する表示装置やイメージセンサ等の電気光学装置をも含むものである。加えて、本発明の半導体装置は、これらの表示装置および電気光学装置を搭載した電子機器をも含むものである。

【0002】

【従来の技術】従来より、アクティブマトリクス型液晶表示装置（以下、AMLCDと略記する）のスイッチング素子としてTFTが利用されている。現在では非晶質珪素膜（アモルファスシリコン膜）を活性層として利用したTFTで回路構成を行う製品が市場を占めている。特に、TFT構造としては製造工程の簡単な逆スタガ構造が多く採用されている。

【0003】しかし、年々AMLCDの高性能化が進み、TFTに求められる動作性能（特に動作速度）は厳しくなる傾向にある。そのため、非晶質珪素膜を用いたTFTの動作速度では十分な性能を有する素子を得ることが困難となった。

【0004】そこで、非晶質珪素膜に代わって多結晶珪素膜（ポリシリコン膜）を利用したTFTが脚光を浴び、多結晶珪素膜を活性層とするTFTの開発が著しい勢いで進んできている。現在では、その一部で製品化も行われている。

【0005】活性層として多結晶珪素膜を利用した逆スタガ型TFTの構造については既に多くの発表がなされている。しかし、従来の逆スタガ構造では様々な問題を抱えている。

【0006】まず、活性層全体が50nm程度と極めて薄いのでチャネル形成領域とドレイン領域との接合部において衝突電離（Impact Ionization）が発生し、ホットキャリア注入などの劣化現象が顕著に現れてしまう。そのため、LDD領域（Light Doped Drain region）を形成する必要性が生じる。

【0007】そして、このLDD領域を形成するためには、従来の逆スタガ型TFTの構造では最低でもマスク8枚（ソース／ドレイン電極形成まで）が必要であると予想される。

【0008】以上の様に、従来の逆スタガ型TFTの構造ではチャネル形成領域の両側または片側に横方向の平面内でLDD領域を形成しなくてはならず、再現性のあるLDD領域を形成することは非常に困難である。

【0009】

【本発明が解決しようとする課題】本願発明では、非常に簡易な製造工程によって、量産性が高く、且つ、信頼性及び再現性の高い半導体装置を作製する技術を提供することを課題とする。

【0010】

【課題を解決するための手段】本明細書で開示する発明の第1の構成は、絶縁表面上にゲート配線と、前記ゲート配線に接するゲート絶縁膜と、前記ゲート配線上に前記ゲート絶縁膜を介して設けられたチャネル形成領域と、前記チャネル形成領域に接する低濃度不純物領域と、前記低濃度不純物領域に接する高濃度不純物領域と、前記チャネル形成領域に接する保護膜と、前記保護膜に接して3価または5価の不純物が添加された有機樹脂とを有していることを特徴とする半導体素子からなる

半導体回路を備えた半導体装置である。

【0011】また、本明細書で開示する発明の第2の構成は、絶縁表面上にゲート配線と、前記ゲート配線に接するゲート絶縁膜と、前記ゲート配線上に前記ゲート絶縁膜を介して設けられたチャネル形成領域と、前記チャネル形成領域の一方の側に設けられた低濃度不純物領域と、前記低濃度不純物領域に接する第1の高濃度不純物領域からなるドレイン領域と、前記チャネル形成領域のもう一方の側に設けられた第2の高濃度不純物領域からなるソース領域と、前記チャネル形成領域に接する保護膜と、前記保護膜に接して3価または5価の不純物が添加された有機樹脂とを有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置である。

【0012】また、本明細書で開示する発明の第3の構成は、絶縁表面上にゲート配線と、前記ゲート配線に接するゲート絶縁膜と、前記ゲート配線上に前記ゲート絶縁膜を介して設けられたチャネル形成領域と、前記チャネル形成領域に接する第1の低濃度不純物領域及び第2の低濃度不純物領域と、前記第1の低濃度不純物領域及び前記第2の低濃度不純物領域に接する高濃度不純物領域と、前記チャネル形成領域に接する保護膜と、前記保護膜に接して3価または5価の不純物が添加された有機樹脂とを有し、前記第1の低濃度不純物領域のチャネル長方向の幅は、第2の低濃度不純物領域のチャネル長方向の幅と異なることを特徴とする半導体素子からなる半導体回路を備えた半導体装置である。

【0013】上記各構成において、前記ゲート配線は、単層構造または積層構造であり、タンタル、銅、クロム、アルミニウム、モリブデン、チタン、シリコンから選ばれた一種の元素、或いはP型またはN型の不純物が添加されたシリコンを主成分とする材料からなることを特徴としている。

【0014】上記各構成において、前記3価または5価の不純物はリンまたはボロンであることを特徴としている。

【0015】上記各構成において、前記有機樹脂は、光感光性を有していることを特徴としている。

【0016】上記各構成において、前記有機樹脂中の3価または5価の不純物の濃度が 1×10^{19} atoms / cm³ 以上であることを特徴としている。

【0017】上記各構成において、前記高濃度不純物領域には珪素の結晶化を助長する触媒元素が含まれていることを特徴としている。

【0018】また、前記触媒元素は、Ni、Fe、Co、Pt、Cu、Auから選ばれた少なくとも1つの元素、または複数の元素であることを特徴としている。また、前記触媒元素は、GeまたはPbであることを特徴としている。

【0019】なお、本明細書において「初期半導体膜」とは、半導体膜を総称しており、代表的には非晶質を有

する半導体膜、例えば非晶質半導体膜（非晶質珪素膜等）、微結晶を有する非晶質半導体膜、微結晶半導体膜を指し、これら半導体膜は、Si膜、Ge膜、化合物半導体膜（例えば、Si_{1-x}Ge_x（0<x<1）、代表的にはx=0.3~0.95で示される非晶質シリコンゲルマニウム膜等））からなる膜である。この初期半導体膜は公知の技術、例えば減圧CVD法、熱CVD法、PCVD法、スパッタ法等を用いて成膜できる。

【0020】なお、本明細書において「結晶性半導体膜」とは、単結晶半導体膜、結晶粒界を含む半導体膜（多結晶半導体膜及び微結晶半導体膜を含む）を指し、全域に渡って非晶質状態である半導体（非晶質半導体膜）との区別を明確にしている。勿論、本明細書において「半導体膜」と記載されていれば、結晶性半導体膜以外に非晶質半導体膜も含まれることは言うまでもない。

【0021】また、本明細書において「半導体素子」とは、スイッチング素子やメモリ素子、例えば薄膜トランジスタ（TFET）や薄膜ダイオード（TFD）等を指している。

【0022】また、本発明の半導体素子からなる半導体回路を備えた半導体装置を作製する第1の作製方法の構成は、ゲート配線が形成された絶縁表面上にゲート絶縁膜、初期半導体膜とを順次大気にもよることなく積層形成する第1の工程と、赤外光または紫外光を照射することにより前記初期半導体膜を結晶化して結晶性半導体膜を形成すると同時に酸化膜を形成する第2の工程と、前記結晶性半導体膜のチャネル形成領域となるべき領域をマスクで覆い、前記酸化膜を介して結晶性半導体膜のソース領域またはドレイン領域となるべき領域に前記3価または5価の不純物元素の添加を行う第3の工程と、を有することを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法である。

【0023】上記第1の作製方法において、前記第1の工程の後、前記初期半導体膜に珪素の結晶化を助長する触媒元素を表面に接して保持、あるいは膜中に保持させる工程を有することを特徴としている。

【0024】また、本発明の半導体素子からなる半導体回路を備えた半導体装置を作製する第2の作製方法の構成は、ゲート配線が形成された絶縁表面上にゲート絶縁膜、初期半導体膜、絶縁膜とを順次大気にもよることなく積層形成する工程と、前記絶縁膜を介して赤外光または紫外光を照射することにより前記初期半導体膜を結晶化して結晶性半導体膜を得る工程と、前記結晶性半導体膜のチャネル形成領域となるべき領域をマスクで覆い、前記絶縁膜を介して結晶性半導体膜のソース領域またはドレイン領域となるべき領域に3価または5価の不純物元素の添加を行う工程と、を有する半導体素子からなる半導体回路を備えた半導体装置の作製方法である。

【0025】上記第2の作製方法において、前記ゲート絶縁膜、前記初期半導体膜、及び前記保護膜は、互いに

異なるチャンバーを用いて形成することを特徴としている。

【0026】上記第2の作製方法において、前記ゲート絶縁膜、前記初期半導体膜、及び前記保護膜は、同一のチャンバーを用いて形成することを特徴としている。

【0027】上記第2の作製方法において、前記ゲート絶縁膜及び前記保護膜は、第1のチャンバーを用いて形成し、前記初期半導体膜は、第2のチャンバーを用いて形成することを特徴としている。

【0028】上記各作製方法の構成において、前記初期半導体膜を成膜する前に被膜形成面上を、活性水素または水素化合物によって汚染物を減少させることを特徴としている。

【0029】上記各作製方法の構成において、前記ゲート絶縁膜として窒化シリコン膜をいずれかの層に含む積層膜を形成する工程を有することを特徴としている。

【0030】上記各作製方法の構成において、前記ゲート絶縁膜の一部としてBCB（ベンゾシクロブテン）を含む積層膜を形成する工程を有することを特徴としている。

【0031】

【発明の実施の形態】以上の構成からなる本願発明の実施の形態について、以下に記載する実施例をもって詳細な説明を行うこととする。

【0032】

【実施例】〔実施例1〕 本願発明を利用した代表的な実施例について、図1～4を用いて説明する。なお、本実施例では、同一基板上に周辺駆動回路部の一部を構成するCMOS回路と画素マトリクス回路部の一部を構成する画素TFTとを用いて説明を行う。まず、図3～4を用いて本願発明の半導体素子からなる半導体回路を備えた半導体装置の作製方法を説明する。

【0033】まず、基板100を用意する。基板100としては、ガラス基板、石英基板、結晶性ガラスなどの絶縁性基板、セラミック基板、ステンレス基板、金属（タンタル、タングステン、モリブデン等）基板、半導体基板、プラスチック基板（ポリエチレンテレフタレート基板）等を用いることができる。本実施例においては基板100としてガラス基板（コーニング1737；歪点667℃）を用いた。

【0034】次に、基板100上に下地膜101を形成する。下地膜101としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（ SiO_2N_x ）、またはこれらの積層膜等を用いることができる。下地膜101としては、200～500nmの膜厚範囲で用いることができる。本実施例では、下地膜101として窒化珪素膜を300nmの膜厚で成膜し、ガラス基板からの汚染物質の拡散を防止した。なお、下地膜を設けなくとも本発明を実施することは可能であるが、TFT特性を良好なものとするためには、下地膜を設けることが好ましい。

【0035】次いで、単層構造または積層構造を有するゲート配線102を形成する。（図3（A））ゲート配線102としては、導電性材料または半導体材料、例えば、アルミニウム（Al）、タンタル（Ta）、銅（Cu）、ニオブ（Nb）、ハフニウム（Hf）、ジルコニウム（Zr）、チタン（Ti）、クロム（Cr）、P型またはN型の不純物が添加されたシリコン（Si）、シリサイド等を主成分とする層を少なくとも一層有する構造とする。本実施例では、ゲート配線102として、酸化タンタル層102bを表面に有するタンタル層102aからなる積層構造とした。本実施例では、タンタル膜をバターニングした後、陽極酸化により表面を酸化させて形成した。タンタルはシリコンと仕事関数が近いため、TFTのしきい値のシフトが少なく好ましい材料の一つである。ゲート配線102aとしては、10～1000nm、好ましくは30～300nmの膜厚範囲で用いることができる。なお、ゲート配線の表面または上面のみに陽極酸化膜または絶縁膜を形成する工程としてもよい。また、作製工程中、基板やゲート配線から不純物がゲート絶縁膜へ拡散するのを防ぐためにゲート配線及び基板を覆う絶縁膜を形成する工程を加えてもよい。また、大型基板を用いて多面取りを行う場合、ゲート配線に銅からなる層をメッキ法やスパッタ法等を用いて形成し、少なくとも一層有する構造とすると配線の低抵抗化が図れて好ましい。

【0036】次に、ゲート絶縁膜103、半導体膜104を順次大気開放しないで積層形成する。（図3（B））この時、形成手段としてはプラズマCVD法、スパッタ法等のいずれの手段を用いてもよいが、大気にさらさないようにすることで、いずれの層の界面にも大気からの汚染物質が付着しないようにすることが重要である。また、半導体膜を成膜する直前には被膜形成面上を、活性水素または水素化合物によって汚染物を減少させることが好ましい。

【0037】本実施例では、ゲート絶縁膜103として膜厚125nmの窒化酸化珪素膜、半導体膜104として膜厚50nmの非晶質珪素膜（アモルファスシリコン膜）を積層形成した。勿論、それぞれの膜厚は本実施例に限定されることはなく、実施者が適宜決定すればよい。本実施例では、ゲート絶縁膜の形成専用の第1のチャンバー44と、半導体膜（ここでは非晶質を有する珪素膜）の形成専用の第2のチャンバー45とを備えたマルチチャンバー（図12に示す装置）を用いて、大気にふれることなく各チャンバーを移動させることにより積層形成させた。また、同一チャンバーで反応ガスを入れ換えることにより積層形成する構成としてもよい。

【0038】また、ゲート絶縁膜103としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（ SiO_2N_x ）、またはこれらの積層膜等を100～400nm（代表的には150～250nm）の膜厚範囲で使用

することができる。本実施例では単層の絶縁膜をゲート絶縁膜として採用しているが、二層または三層以上の積層構造としてもよい。

【0039】また、半導体膜104としては、非晶質珪素膜、微結晶を有する非晶質半導体膜、微結晶半導体膜、非晶質ゲルマニウム膜、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$) で示される非晶質シリコンゲルマニウム膜、またはこれらの積層膜を20~70nm(代表的には40~50nm)の膜厚範囲で用いることができる。

【0040】こうして図3(B)の状態が得られたら、半導体膜104に対して赤外光または紫外光の照射による結晶化(以下、レーザー結晶化と呼ぶ)を行う。本実施例では、大気、酸素、または酸化性雰囲気中で赤外光または紫外光の照射を行ない、レーザー結晶化による結晶性半導体膜106を形成すると同時に酸化膜105を形成した。結晶化技術として紫外光を用いる場合はエキシマレーザー光または紫外光ランプから発生する強光を用いればよく、赤外光を用いる場合は赤外線レーザー光または赤外線ランプから発生する強光を用いればよい。本実施例ではエキシマレーザー光を線状にビーム形成して照射した。なお、照射条件としては、パルス周波数が150Hz、オーバーラップ率は80~98%、本実施例では96%、レーザーエネルギー密度は100~500mJ/cm²、好ましくは280~380mJ/cm²であり本実施例では350mJ/cm²とした。なお、レーザー結晶化の条件(レーザー光の波長、オーバーラップ率、照射強度、パルス幅、繰り返し周波数、照射時間等)は、半導体膜104の膜厚、基板温度等を考慮して実施者が適宜決定すればよい。また、レーザー結晶化の条件によっては、半導体膜が溶融状態を経過して結晶化する場合や、半導体膜が溶融せずに固相状態、もしくは固相と液相の間状態で結晶化する場合がある。また、レーザー光を一定速度で連続的に移動させてオーバーラップ率の±10%の範囲でどこ領域でも一定とした。

【0041】本実施例では、結晶化技術としてレーザー結晶化を用いたが、他の公知な手段、例えば固相成長法や触媒元素を用いた固相成長法等を用いることも可能である。また、本実施例では、レーザー結晶化と同時に酸化膜を形成したが、レーザー照射前後に薄い絶縁膜(酸化珪素膜、窒化珪素膜、酸化窒化珪素膜等)を形成する工程、或いは不活性雰囲気中でレーザー結晶化を行ない酸化膜を形成しない工程としてもよい。

【0042】なお、図3(C)の工程後、しきい値制御をするために不純物の添加を行ない、チャンネル形成領域となる領域に不純物を選択的に添加する工程を加えてもよい。

【0043】次いで、ゲート絶縁膜、結晶性半導体膜、及び酸化膜にパターニングを施し、活性層107、第1の保護膜108を形成した。(図3(D)) また、後の工程である不純物の添加工程後にパターニングを施す工

程としてもよい。

【0044】次いで、活性層を保護するために窒化膜からなる第2の保護膜109を基板全面に形成した。(図3(E)) この第2の保護膜109としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜(SiO_xN_y)、またはこれらの積層膜を3~200nm(代表的には25~50nm)の膜厚範囲で使うことができる。ただし、この第2の保護膜を設けない構成としてもよい。

【0045】次に裏面からの露光によって、ゲート配線の上方の第2の保護膜109に接して膜厚1~3μmの第1のマスク(本実施例ではレジストマスク)110aを形成した。(図3(F)) 第1のマスクの材料としては、ポジ型またはネガ型の光感光性有機材料(例えばフォトリソ、光感光性ポリイミド等)、有機樹脂(ポリイミド、ポリイミドアミド、ポリアミド等)酸化珪素膜、窒化珪素膜、窒化酸化珪素膜(SiO_xN_y で示される)を用いることができる。

【0046】また、第1のマスクを形成するために無機絶縁膜をパターニングし、その際の有機樹脂からなるパターニングマスクを除去せずに第1のマスクを積層構造とし、下層を無機絶縁膜、上層を有機樹脂とする構造としてもよい。

【0047】なお、裏面からの露光によるレジストの形成はマスクを必要としないため、製造マスク数を低減することができる。本実施例では、光の回り込みによって第1のマスクのチャンネル長方向の幅がわずかにゲート配線の幅より小さくなる例を示したが、概略同一とすることもでき、実施者が適宜、第1のマスクのチャンネル長方向の幅を変更することは可能である。

【0048】なお、本明細書では、基板面に垂直な面で基板100を切断した場合、基板から遠ざかる方向を上方とし、基板に近づく方向を下方としている。

【0049】そして、この第1のマスク110aを用い、第1の保護膜108及び第2の保護膜109を介して第1の不純物の添加を行い、低濃度不純物領域(n^- 型領域)111を形成した。(図4(A)) 本実施例では、N型の導電性を付与する不純物としてリン元素を用い、111で示される n^- 型領域のリン濃度が、SIMS分析で $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ になるように調節した。このとき第1のマスクにリン元素が添加されリン元素を低濃度に含む第1のマスク110bとなる。

【0050】次いで、Nチャンネル型TFTの第2の保護膜109または第1のマスク110bに接して膜厚1~3μmの第2のマスク(本実施例では光感光性を有するポリイミド樹脂)113aを形成した。(図4(B)) 第2のマスクの材料としては、ポジ型またはネガ型の光感光性有機材料(例えばレジスト、光感光性ポリイミド等)、有機樹脂(ポリイミド、ポリイミドアミド、ポリアミド等)、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜

(SiO_2 , N , で示される)を用いることができる。

【0051】そして、この第2のマスク113aを用い、第1の保護膜108及び第2の保護膜109を介して、第2の不純物の添加を行い、高濃度不純物領域(n^+ 型領域)114を形成した。(図4(C))本実施例では、この第2のマスクを所望のパターン形状とすることで、LDD領域を制御性よく形成することができる。本実施例では、114で示される n^+ 型領域のリン濃度が、SIMS分析で $1 \times 10^{18} \sim 8 \times 10^{19} \text{ atoms / cm}^3$ になるように調節した。Pチャネル型TFTにおける第1のマスク110cには高濃度にリン元素が添加された。同様に高濃度にリン元素が第2のマスク113bに添加される。Nチャネル型TFTのチャネル形成領域側の第1のマスク110b及び第2のマスク113bはチャネル形成領域にリンが添加されるのを防いでいる。

【0052】上記第1及び第2の不純物の添加工程によりLDD構造が形成される。第2のマスクのパターン形状により、 n^- 型領域と n^+ 型領域の境界が決定される。なお、Nチャネル型TFTにおいて、 n^+ 型領域114はソース領域またはドレイン領域となり、 n^- 型領域は低濃度不純物領域(LDD領域)115となる。

【0053】また、上記第1及び第2の不純物の添加工程において、リンが添加された第1のマスク110b、110c及び第2のマスク113bが黒色化した。また、第1のマスク及び第2のマスクをさらに黒色化させる工程を加えてもよい。

【0054】次にNチャネル型TFTを第3のマスク116で覆い、第1及び第2の保護膜108、109を介して第3の不純物の添加を行い、高濃度不純物領域(P型領域)117を形成した。(図4(D))本実施例では、P型の導電性を付与する不純物としてボロン元素を用い、ボロンのドーズ量は、P型領域のボロンイオンの濃度が n^+ 型領域に添加されるリンイオンの濃度の1.3～2倍程度になるようにする。Pチャネル型TFTにおける第1のマスク110dには高濃度にボロン元素が添加された。同様に第3のマスク116にもボロン元素が添加される。なお、第1～第3のマスク、即ち、有機樹脂中には3価(本実施例ではボロン)または5価(本実施例ではリン)の不純物の濃度が $1 \times 10^{19} \text{ atoms / cm}^3$ 以上含まれる。Pチャネル型TFTにおいて、P型領域117はソース領域、またはドレイン領域となる。また、リンイオン、ボロンイオンが注入されなかった領域が後にキャリアの移動経路となる真性または実質的に真性なチャネル形成領域111となる。

【0055】なお、本明細書中で真性とは、シリコンのフェルミレベルを変化させうる不純物を一切含まない領域を指し、実質的に真性な領域とは、電子と正孔が完全に釣り合って導電性を相殺させた領域、即ち、しきい値制御が可能な濃度範囲(SIMS分析で $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms / cm}^3$)でN型またはP型を付与する

不純物を含む領域、または意図的に逆導電型不純物を添加することにより導電性を相殺させた領域を示す。

【0056】上記第1～3の不純物の添加は、イオン注入法、プラズマドーピング法、レーザードーピング法等の公知の手段を用いればよい。ただし、第1の保護膜108及び第2の保護膜109を通り抜けて不純物イオンが活性層の所定の領域に所望の量添加されるようにドーピング条件、ドーズ量、加速電圧等を調節する。

【0057】また、上記第1～第3の不純物の添加工程においては第2の保護膜109の上から不純物の注入が行われるので、活性層中に大気からの汚染物質、特にボロンが混入するおそれがない。従って、活性層中の不純物の濃度を制御できるため、しきい値のバラツキを抑えることができる。

【0058】こうして、ソース領域またはドレイン領域となる高濃度不純物領域117を形成した後、第3のマスク116のみを選択的に除去した。第3のマスクで用いる材料を第1及び第2のマスクの材料と異ならせることで、選択的に除去する工程としてもよい。このマスク除去工程において、第1、第2の保護膜108、109がエッチングストッパーとなる。また、このマスク除去工程においても第1、第2の保護膜が形成されているため結晶性半導体膜、特にチャネル形成領域111に汚染物質が混入しない。

【0059】次に、ソース領域およびドレイン領域における不純物の活性化効果、またはドーピング工程で損傷した活性層の結晶構造の回復効果を得るための公知の技術、例えば熱アニールまたはレーザーアニールを行う。

【0060】最後に、ポリイミド、ポリイミドアミド、ポリアミド、アクリル等の有機樹脂または酸化珪素膜、窒化珪素膜、窒化酸化珪素膜(SiO_2 , N , で示される)、またはこれらの積層膜からなる層間絶縁膜118を成膜し、ソース領域、ドレイン領域上を露出させるコンタクトホールを形成した後、金属膜を形成し、これをパターニングして、ソース領域、ドレイン領域と接触する金属配線119～123を形成する。(図4(E))こうして、本発明の実施の形態におけるNチャネル型TFTとPチャネル型TFTで構成されたCMOS回路部及びNチャネル型TFTからなる画素マトリクス回路部の作製を完了する。

【0061】上記作製工程を用いた半導体素子からなる半導体回路を備えた半導体装置について、図1を用いてその構成を説明する。本実施例では図示を容易にするため、同一基板上に周辺駆動回路部の一部を構成するCMOS回路部と、画素マトリクス回路部の一部を構成する画素TFT(Nチャネル型TFT)とが示されている。

【0062】また、図2(A)及び図2(B)は図1の上面図に相当する図であり、図2(A)及び図2(B)において、点線A-A'で切断した部分が、図1の画素マトリクス回路部の断面構造に相当し、点線B-B'で

切断した部分が、図 1 の CMOS 回路部の断面構造に相当する。また、図 1 及び図 2 に使われている符号は図 3 または図 4 と同一である。なお、図の簡略化のため、図 2 には、第 1 のマスク及び第 2 のマスクは図示していない。

【0063】図 1 において、いずれの TFT (薄膜トランジスタ) も基板 100 上に設けられた下地膜 101 に形成される。CMOS 回路の P チャネル型 TFT の場合には、下地膜上にゲート配線 102 が形成され、その上にゲート絶縁膜 103 が設けられている。ゲート絶縁膜上には、活性層として P 型領域 117 (ソース領域又はドレイン領域) とチャネル形成領域 112 とが形成される。なお、活性層は同一パターン形状を有する第 1 の保護膜 108 と、第 2 の保護膜 109 で保護される。第 2 の保護膜 109 の上を覆う有機樹脂からなる第 1 の層間絶縁膜 118 にコンタクトホールが形成され、P 型領域 117 に配線 119、120 が接続され、さらにその上に第 2 の層間絶縁膜 125 が形成され、配線 119 に引き出し配線 126 が接続されて、その上を覆って第 3 の層間絶縁膜 129 が形成される。なお、チャネル形成領域の上方の第 2 の保護膜上に、遮光性を有する第 1 のマスク 110d が形成され、チャネル形成領域を劣化から保護している。この第 1 のマスク 110d には、3 価 (本実施例ではボロン) 及び 5 価 (本実施例ではリン) の不純物が添加され、不純物の濃度が 1×10^{18} atoms/cm³ 以上含まれている。

【0064】一方、N チャネル型の TFT は、活性層として n⁺ 型領域 114 (ソース領域又はドレイン領域) と、チャネル形成領域 112 と、前記 n⁺ 型領域 (ドレイン領域) とチャネル形成領域の間に n⁻ 型領域 (LDD 領域) 115 が形成される。n⁺ 型領域 114のうち、ドレイン領域には配線 120、ソース領域には 121 が形成され、さらに配線 121 には引き出し配線 127 が接続される。活性層以外の部分は、上記 P チャネル型 TFT と概略同一構造である。なお、少なくともチャネル形成領域 112 の上方の第 2 の保護膜上に第 1 のマスク (110b 及び 110c) が形成され、n⁻ 型領域 114 のうち一方の側のドレイン領域の上方の第 2 の保護膜上に、遮光性を有する第 2 のマスク 113b が形成され、チャネル形成領域及び n⁻ 型領域を光の劣化から保護している。

【0065】画素マトリクス回路に形成された N チャネル型 TFT については、ゲート絶縁膜 103 を形成する部分まで、CMOS 回路の N チャネル型 TFT と同一構造である。画素マトリクス回路に形成された N チャネル型 TFT においては、配線 122 及び 123 と接続された n⁺ 型領域 114 とチャネル形成領域 112 との間に生じるホットキャリア注入などの劣化現象が発生しやすいため、配線と接続された n⁺ 型領域とチャネル形成領域の間に n⁻ 型領域 (LDD 領域) 115 を形成し、隣

合うチャネル形成領域の間には n⁻ 型領域 (LDD 領域) を設けない構成とした。なお n⁻ 型領域 (LDD 領域) 115 の形成の際に使用した第 1 のマスク及び第 2 のマスクを残有させ、そのまま遮光膜として用いた。そして、配線 122、123 が形成された第 1 の層間絶縁膜 118 上に第 2 の層間絶縁膜 125 と、ブラックマスク 128 とが形成される。さらに、その上に第 3 の層間絶縁膜 129 が形成され、ITO、SnO₂ 等の透明導電膜からなる画素電極 130 が接続される。なお、ブラックマスクは画素 TFT を覆い、且つ画素電極 130 と補助容量を形成している。

【0066】本実施例では、裏面露光によってレジストマスクを形成したため、ゲート配線の上方にはマスクが設けられており、他の配線との配線間容量を低減している。

【0067】本実施例では一例として透過型の LCD を作製したが特に限定されない。例えば、画素電極の材料として反射性を有する金属材料を用い、画素電極のパターニングの変更、または幾つかの工程の追加/削除を適宜行えば反射型の LCD を作製することが可能である。

【0068】なお、本実施例では、画素マトリクス回路の画素 TFT のゲート配線をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

【0069】〔実施例 2〕本実施例は、実施例 1 とは異なる方法により結晶性半導体膜を得る例である。本実施例では、実施例 1 における図 3 (B) の工程と図 3

(C) の工程の間に、結晶化を助長する触媒元素を半導体膜全面または選択的に保持させる工程を加える。基本的な構成は実施例 1 とほぼ同様であるので、相違点のみに着目して説明する。

【0070】本実施例は、半導体膜 104 を形成する工程 (図 3 (B)) までは、実施例 1 と同一である。

【0071】次いで、本実施例では半導体膜 104 の表面に珪素の結晶化を助長する触媒元素を導入する。珪素の結晶化を助長する触媒元素としては、Ni、Fe、Co、Pt、Cu、Au、Ge から選ばれた一種または複数種類の元素が用いられる。本実施例では前記触媒元素の内、非晶質珪素膜中の拡散速度が早く、極めて良好な結晶性を得ることができる Ni を用いた。

【0072】また、上記触媒元素を導入する箇所としては、特に限定されないが、非晶質珪素膜の全面、またはマスクを適宜形成することにより選択的に導入する。また、触媒元素を非晶質珪素膜の裏面、または表裏両面に導入する工程としてもよい。

【0073】また、非晶質珪素膜に触媒元素を導入する方法としては、触媒元素を非晶質珪素膜の表面に接触させ得る方法、または非晶質珪素膜の膜中に保持させ得る

方法であれば特に限定されない。例えば、スパッタ法、CVD法、プラズマ処理法、吸着法、イオン注入法、または触媒元素を含有した溶液を塗布する方法をしようることができる。この内、溶液を用いる方法は簡便であり、触媒元素の濃度調整が容易であるという点で有用である。金属塩としては各種塩を用いることができ、溶媒としては水のほか、アルコール類、アルデヒド類、エーテル類、その他の有機溶媒、或いは水と有機溶媒の混合溶媒を用いることができる。本実施例では、塗布方法を用い、10~10000ppm、好ましくは100~10000ppm(重量換算)の範囲のニッケルを含んだ溶液を塗布した。ただし、非晶質珪素膜の膜厚を考慮に入れて適宜添加量を調節する必要がある。このようにして得られた非晶質珪素膜における膜中のニッケル濃度は $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³ となる。

【0074】以上のようにして触媒元素を非晶質珪素膜に導入した後、レーザー光の照射により結晶化を行ない結晶性珪素膜を得る。また、レーザー光の照射に代えて高温加熱する工程を加えてもよい。また、膜中の触媒元素を低減させるゲッタリング工程を行う工程を加えてもよい。

【0075】以降の工程は、実施例1に従えば図1で得られる半導体装置が得られる。

【0076】〔実施例3〕本実施例は、実施例1とは異なる方法により結晶性半導体膜を得る例である。本実施例では、レーザービーム形状を長方形または正方形に成形し、一度の照射で数cm²~数百cm²の領域に均一なレーザー結晶化処理により結晶性珪素膜を得る方法に関する。基本的な構成は実施例1とほぼ同様であるので、相違点のみに着目して説明する。

【0077】本実施例では、図3(C)の工程においてエキシマレーザー光を面状に加工して照射する。レーザー光を面状に加工する場合は数十cm²程度(好ましくは10cm²以上)の面積を一括照射できる様にレーザー光を加工する必要がある。そして照射面全体を所望のレーザーエネルギー密度でアニールするためには、トータルエネルギーが5J以上、好ましくは10J以上の出力のレーザー装置を用いる。

【0078】その場合、エネルギー密度は100~800mJ/cm²とし、出力パルス幅は100nsec以上、好ましくは200nsec~1msecとすることが好ましい。200nsec~1msecというパルス幅を実現するにはレーザー装置を複数台連結し、各レーザー装置の同期をずらすことで複数パルスの混合した状態を作れば良い。

【0079】本実施例の様な面状のビーム形状を有するレーザー光を照射することにより大面積に均一なレーザー照射を行うことが可能である。即ち、活性層の結晶性(結晶粒径や欠陥密度等を含む)が均質なものとなり、TFT間の電気特性のばらつきを低減することができる。

【0080】なお、本実施例は実施例1または2との組み合わせが容易であり、その組み合わせ方は自由である。

【0081】〔実施例4〕本実施例は、実施例1とは異なる方法により絶縁膜及び結晶性半導体膜を得る例である。

【0082】本実施例では、ゲート絶縁膜として膜厚125nmの窒化酸化珪素膜、初期半導体膜として膜厚50nmの非晶質珪素膜、絶縁膜として15nmの窒化酸化珪素膜を大気中にふれることなく積層形成した。勿論、それぞれの膜厚は本実施例に限定されることはなく、実施者が適宜決定すればよい。また、同一チャンバーで反応ガスを入れ換えることにより積層形成する構成としてもよい。また、前記初期半導体膜を成膜する前には被膜形成面上を、活性水素または水素化合物によって汚染物を減少させる構成とすることが好ましい。

【0083】その後、初期半導体膜に対して赤外光または紫外光の照射による結晶化(以下、レーザー結晶化と呼ぶ)を行う。本実施例ではエキシマレーザー光を線状にビーム形成して照射した。なお、照射条件としては、パルス周波数が150Hz、オーバーラップ率は80~98%、本実施例では96%、レーザーエネルギー密度は100~500mJ/cm²、好ましくは150~200mJ/cm²であり本実施例では175mJ/cm²とした。なお、レーザー結晶化の条件(レーザー光の波長、オーバーラップ率、照射強度、パルス幅、繰り返し周波数、照射時間等)は、絶縁膜の膜厚、初期半導体膜の膜厚、基板温度等を考慮して実施者が適宜決定すればよい。

【0084】この工程により初期半導体膜は結晶化され、結晶性半導体膜(結晶を含む半導体膜)に変化する。本実施例において結晶性半導体膜とは多結晶珪素膜である。この工程において、レーザー光の照射は絶縁膜の上から行われるので初期半導体膜中に大気からの汚染物質が混入するおそれがない。即ち、初期半導体膜の界面の洗浄性を保ったまま、初期半導体膜の結晶化を行うことができる。

【0085】こうして、図3(C)で得られる状態とほぼ同一の状態が得られる。以降の工程(図3(D)以降)は実施例1に従えば図1で得られる半導体装置が完成する。なお、本実施例は実施例1または3との組み合わせが容易であり、その組み合わせ方は自由である。

【0086】〔実施例5〕本実施例では実施例1と異なる構造のTFTを作製した場合の例について図5を用いて説明する。また、図5の上面図は図2に相当する。

【0087】本実施例では基板500としてプラスチック基板、下地膜501として酸化窒化シリコン(SiO_xN_yで示される)、ゲート配線として、銅(Cu)が主成分とする材料からなる膜を上層、タンタルを主成分とする材料からなる膜を下層とした積層構造とした。

【0088】次に、第1絶縁膜503として、ゲート電

極を有する領域と有さない領域との凹凸を平坦にする有機材料、例えばBCB（ベンゾシクロブテン）膜を100nm～1μm（好ましくは500～800nm）の厚さで形成する。この工程ではゲート配線による段差を完全に平坦化する程度の膜厚が必要である。BCB膜の平坦化効果は大きいので、さほど膜厚を厚くしなくても十分な平坦化が可能である。

【0089】第1絶縁膜503を形成したら、次に第2絶縁膜（窒化酸化シリコン膜）504、初期半導体膜

（微結晶シリコン膜）、保護膜509となる絶縁膜（窒化酸化シリコン膜）を順次大気開放しないで積層形成する。微結晶シリコン膜は、形成温度を80℃～300℃、好ましくは、140～200℃とし、水素で希釈したシランガス（SiH₄ : H₂ = 1 : 10～100）を反応ガスとし、ガス圧を0.1～10 Torr、放電電力を10～300 mW/cm² とすることで形成される。微結晶シリコン膜は、膜中における水素濃度が低い
10 ため、初期半導体膜として用いれば、水素濃度を低減させる熱処理を省略することができる。本実施例では、第2の絶縁膜の形成専用のチャンバーと、初期半導体膜の形成専用のチャンバーと、保護膜の形成専用のチャンバーとを用意し、大気にふれることなく、各チャンバーを移動することにより連続的に成膜した。こうして連続成膜された絶縁膜及び半導体膜は平坦面上に形成されるため全て平坦である。

【0090】次に、保護膜の上からエキシマレーザー光を照射することによって、半導体膜が結晶を含む半導体膜（多結晶シリコン膜）に変化する。このレーザー結晶化工程の条件は実施例4と同様で良い。この時、半導体膜が平坦であるので結晶粒径の均一な多結晶シリコン膜
30 が得られる。また、レーザー光の照射に代えて強光の照射、例えばRTA、RTPを用いてもよい。

【0091】以上の様に、第1絶縁膜503として平坦化に有利なBCB膜を用いることで平坦面を有する半導体膜を得ることができる。そのため、半導体膜の全域に渡って均一な結晶性を確保することができる。

【0092】以降の工程は実施例1に従えば図5で得られる半導体装置が完成する。ただし、若干第2のマスク設計が異なる。

【0093】図5においては、いずれのTFT（薄膜トランジスタ）も基板500上に設けられた下地膜501に形成される。CMOS回路のPチャネル型TFTの場合には、下地膜上にゲート配線502a、502bが形成され、その上にBCBからなる第1絶縁膜503、第2絶縁膜504が設けられている。第2絶縁膜上には、活性層としてP型領域508（ソース領域又はドレイン領域）とチャネル形成領域505とが形成される。なお、活性層は同形状を有する保護膜509で保護される。保護膜509の上を覆う第1の層間絶縁膜510に
40 コンタクトホールが形成され、P型領域508に配線50

11、512が接続され、さらにその上に第2の層間絶縁膜516が形成され、配線511に引き出し配線517が接続されて、その上を覆って第3の層間絶縁膜520が形成される。なお、少なくともチャネル形成領域の上方の保護膜上に、遮光性を有する第1のマスクが形成され、チャネル形成領域を光の劣化から保護している。

【0094】一方、Nチャネル型のTFTは、活性層としてn⁺型領域507（ソース領域又はドレイン領域）と、チャネル形成領域505と、前記n⁺型領域とチャネル形成領域の間にn⁻型領域506が形成される。n⁺型領域507には配線512、513が形成され、さらに配線513には引き出し配線518が接続される。活性層以外の部分は、上記Pチャネル型TFTと概略同一構造である。なお、少なくともチャネル形成領域505の上方の保護膜上に、遮光性を有する第1のマスクが形成され、n⁻型領域506の上方の保護膜上に、第2のマスクが形成され、チャネル形成領域およびn⁻型領域を光の劣化から保護している。

【0095】画素マトリクス回路に形成されたNチャネル型TFTについては、n⁺型領域507には配線514、515が接続され、その上に第2の層間絶縁膜516と、ブラックマスク519とが形成される。このブラックマスクは画素TFTを覆い、且つ配線515と補助容量を形成している。さらに、その上に第3の層間絶縁膜520が形成され、ITO等の透明導電膜からなる画素電極521が接続される。

【0096】本実施例の画素マトリクス回路において、ゲート配線502と配線514、515の間で生じる配線間容量が、第1または第2のマスクによって低減されたTFT構造となっている。なお、画素マトリクス回路に限らず、本実施例では、裏面露光によってレジストマスクを形成したため、ゲート配線の上方にはマスクが設けられており、他の配線との配線間容量を低減している。

【0097】本実施例を実施して作製されたTFTは、よりばらつきの少ない電気特性を示す。また、本実施例を実施例1～4と組み合わせることは可能である。

【0098】〔実施例6〕 本実施例では実施例1と異なる構造のTFTを作製した場合の例について図6を用いて説明する。なお、CMOS回路における構成は実施例1とほぼ同一であるので、相違点のみに着目して説明する。また、図6の上面図は図2に相当する。

【0099】本実施例は、基板としてガラス基板、下地膜として酸化窒化珪素膜（SiO_xN_yで示される）、ゲート配線を形成する工程までは、実施例1と同一である。

【0100】次いで、本実施例では、画素マトリクス回路において、選択的に第1絶縁膜601を形成する。

【0101】その後、実施例1と同様に第2絶縁膜（実施例1ではゲート絶縁膜に相当する）、初期半導体膜を

順次大気開放しないで積層形成する。本実施例では、同一チャンバー内で高真空を保ったまま、第2絶縁膜602として膜厚10~100nmの窒化酸化珪素膜、初期半導体膜として膜厚50nmの非晶質珪素膜をプラズマCVD法を用いて積層形成した。勿論、それぞれの膜厚は本実施例に限定されることはなく、実施者が適宜決定すればよい。本実施例では、画素マトリクス回路において、ゲート絶縁膜（第1絶縁膜601及び第2絶縁膜602）の総膜厚が100~300nmになるように形成した。

【0102】以降の工程は実施例1に従えば図6で得られる半導体装置が完成する。

【0103】図6においては、CMOS回路における構成は実施例1の図1とほぼ同一であるので省略する。画素マトリクス回路に形成されたNチャネル型TFTについては、ゲート絶縁膜が二層構造（第1絶縁膜601と第2絶縁膜602）となっている部分以外は、実施例1の図1とほぼ同一である。このように選択的にゲート絶縁膜の膜厚を厚くすることで、高耐圧が要求される回路（画素マトリクス回路、バッファ回路等）においての信

頼性を向上させた。

【0104】また、本実施例は実施例1と同様に画素マトリクス回路において、ゲート配線と他の配線との間で生じる配線間容量が、第1または第2のマスクによって低減されたTFT構造となっている。なお、画素マトリクス回路に限らず、本実施例では、裏面露光によってレジストマスクを形成したため、ゲート配線の上方にはマスクが設けられており、他の配線との配線間容量を低減している。

【0105】本実施例を実施して作製されたTFTは、よりばらつきの少ない電気特性を示す。また、本実施例を実施例1乃至5のいずれか一と組み合わせることは可能である。

【0106】〔実施例7〕 本実施例では実施例1と異なる構造の画素マトリクス回路部を作製した場合の例について図7（A）~（C）を用いて説明する。実施例1では、画素マトリクス回路部の画素TFTのゲート配線をダブルゲート構造としたが、本実施例では、オフ電流のバラツキを低減するために、トリプルゲート構造とした例を示す。

【0107】図7（C）は、トリプルゲート構造の一例を示した上面図である。また、図7（C）中の点線A-A'で切断した断面の一例を図7（A）に示した。

【0108】図7（A）において、701はn⁻型領域（LDD領域）、702はゲート配線、703はn⁺型領域、704、705は配線、706はブラックマスク、707は画素電極、708、709は層間絶縁膜である。この構成における特徴は、LDD領域（チャンネル長方向の幅が、0.5~3μm、代表的には1~2μm）が必要である箇所の上に設けられている点である。

従来、特にセルフアライン法では、隣合うチャンネル形成領域間に不必要なLDD領域が形成されていた。

【0109】本実施例は、実施例1を応用することにより形成することができる。図7（A）に示される断面構造、特にn⁻型領域（LDD領域）及びn⁺型領域を得るためには、実施例1における第2のマスクのパターン形状を変えることで容易に形成することができる。

【0110】また、図7（A）とは異なる第2のマスクのパターンを用いることで、図7（B）で示すような異なる（LDD領域）の幅を工程を増やすことなく得ることができる。図7（B）は図7（B）とほとんど同一であるが、LDD領域のチャンネル長方向の幅の広い第1のn⁻型領域722、とLDD領域のチャンネル長方向の幅の狭い第1のn⁻型領域721を選択的に形成した。なお、第1のn⁻型領域722のチャンネル長方向の幅は、0.5~3μm、代表的には1~2μm、第2のn⁻型領域721のチャンネル長方向の幅は、0.3~2μm、代表的には0.3~0.7μmとする。n⁻型領域のチャンネル長方向の幅は、それぞれマスク設計によって自由に調節できる。従って、n⁻型領域のチャンネル長方向の幅は、回路構成の必要に応じて実施者が適宜決定すればよい。

【0111】本実施例を実施して作製されたTFTは、よりばらつきの少ない電気特性を示す。また、本実施例を実施例1乃至6のいずれか一と組み合わせることは可能である。

【0112】〔実施例8〕 本実施例では、実施例1に示したCMOS回路（インバータ回路）の回路構成の例について図8を用いて説明する。なお、図8（A）のインバータ回路図、インバータ回路の上面図における各端子部a、b、c、dは対応している。

【0113】図8（A）に示すインバータ回路のA-A'断面構造図は図1に示したものと同一構造である。従って、図8（A）に示す構造を得るには、実施例1を適用すればよい。この回路構成はゲート配線801、Nチャネル型TFTのソース電極802、Nチャネル型TFTのソース電極803、共通ドレイン電極804から構成される。

【0114】また、図8（A）のA-A'断面構造図とは異なるインバータ回路の断面構造図を図8（B）に示す。図8（B）に示す構造を得るためには、実施例1中の第2のマスク810のパターンを変更して、第2のマスク820をPチャネル型TFTにも形成し、ボロンが低濃度にドーピングされたP⁻型領域822と、n⁻型領域821を形成する。なお、図8（B）に示す構造を得るためには、ボロンを低濃度にするためのマスクが必要である。

【0115】また、図8（A）のA-A'断面構造図とは異なるインバータ回路の断面構造図を図8（C）に示す。図8（C）に示す構造を得るためには、実施例1中

の第2のマスク810のパターンを変更して、第2のマスク840を形成し、チャネル形成領域の両側に n^- 型領域841を形成する。 n^- 型領域のチャネル長方向の幅は、それぞれマスク設計によって自由に調節できる。従って、 n^- 型領域のチャネル長方向の幅は、回路構成の必要に応じて実施者が適宜決定すればよい。また、ゲート配線831は、タンタル膜を形成後、表面に陽極酸化膜を形成した後、パターニングすることによって、マスク数を減らした。

【0116】また、同一基板上に図8(A)の構造と図8(B)の構造を工程を増やすことなく同時に作製することは可能である。本発明を利用することによって、同一基板上に様々な(チャネル長方向の)幅を有する n^- 型領域または p^- 型領域を形成することが可能である。例えば、同一基板上にチャネル形成領域の両側に n^- 型領域を有するTFT、チャネル形成領域の片側に n^- 型領域を有するTFT、チャネル形成領域の両側にチャネル長方向の幅の異なる n^- 型領域を有するTFT、チャネル形成領域の両側に n^- 型領域を有さないTFT等を工程を増やすことなく同時に作製することが可能である。

【0117】また、本実施例を実施例1乃至6のいずれか一と組み合わせることは可能である。

【0118】〔実施例9〕 本実施例では、実施例1～6に示したボトムゲート型TFTを用いてバッファ回路を構成する場合の例について図9を用いて説明する。なお、CMOS回路は同一基板上に形成されたNチャネル型TFTとPチャネル型TFTとを相補的に組み合わせ構成する。なお、図9のバッファ回路図、バッファ回路の断面構造図における各端子部a、b、c、dは対応している。

【0119】図示したようにバッファ回路においては、少なくともNチャネル型TFTのチャネル形成領域の片側(出力配線端子b側)に n^- 型領域を形成することが好ましい。図9に示す構造を得るためには、実施例1中の第2のマスク110のパターンを変更して、第2のマスク910を形成し、チャネル形成領域の片側に n^- 型領域901を形成する。

【0120】また、本実施例を実施例1乃至6のいずれか一と組み合わせることは可能である。

【0121】〔実施例10〕 本実施例では、本願発明によって作製された液晶表示装置の例を図10に示す。画素TFT(画素スイッチング素子)の作製方法やセル組工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0122】図10において1000は絶縁表面を有する基板(酸化シリコン膜を設けたプラスチック基板)、1001は画素マトリクス回路、1002は走査線駆動回路、1003は信号線駆動回路、1030は対向基板、1010はFPC(フレキシブルプリントサーキット)

ト)、1020はロジック回路である。ロジック回路1020としては、D/Aコンバータ、 γ 補正回路、信号分割回路などの従来ICで代用していた様な処理を行う回路を形成することができる。勿論、基板上にICチップを設けて、ICチップ上で信号処理を行うことも可能である。

【0123】さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればEL(エレクトロルミネッセンス)表示装置やEC(エレクトロクロミックス)表示装置に本願発明を適用することも可能であることは言うまでもない。

【0124】また、本願発明を用いて作製できる液晶表示装置は透過型か反射型かは問わない。どちらを選択するのも実施者の自由である。この様に本願発明はあらゆるアクティブマトリクス型の電気光学装置(半導体装置)に対して適用することが可能である。

【0125】なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例9のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。

【0126】〔実施例11〕 本願発明は従来のIC技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、液晶用ドライバー回路(D/Aコンバータ、 γ 補正回路、信号分割回路等)に代表される信号処理回路や携帯機器(携帯電話、PHS、モバイルコンピュータ)用の高周波回路に適用しても良い。

【0127】また、マイクロプロセッサ等の半導体回路は様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両(自動車や電車等)の制御用コンピュータなども挙げられる。本願発明はその様な半導体装置に対しても適用可能である。

【0128】なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例9のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。

【0129】〔実施例12〕 本願発明の電気光学装置は、様々な電子機器のディスプレイとして利用される。その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグルディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話、電子書籍等)などが挙げられる。それらの一例を図11に示す。

【0130】図11(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示

装置 2004、操作スイッチ 2005、アンテナ 2006 で構成される。本願発明を音声出力部 2002、音声入力部 2003、表示装置 2004 やその他の信号制御回路に適用することができる。

【0131】図 11 (B) はビデオカメラであり、本体 2101、表示装置 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本願発明を表示装置 2102、音声入力部 2103 やその他の信号制御回路に適用することができる。

【0132】図 11 (C) はモバイルコンピュータ (モバイルコンピュータ) であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示装置 2205 で構成される。本願発明は表示装置 2205 やその他の信号制御回路に適用できる。

【0133】図 11 (D) はゴーグルディスプレイであり、本体 2301、表示装置 2302、アーム部 2303 で構成される。本発明は表示装置 2302 やその他の信号制御回路に適用することができる。

【0134】図 11 (E) はリア型プロジェクターであり、本体 2401、光源 2402、表示装置 2403、偏光ビームスプリッタ 2404、リフレクター 2405、2406、スクリーン 2407 で構成される。本発明は表示装置 2403 やその他の信号制御回路に適用することができる。

【0135】図 11 (F) は携帯書籍 (電子書籍) であり、本体 2501、表示装置 2502、2503、記憶媒体 2504、操作スイッチ 2505、アンテナ 2506 で構成される。本発明は表示装置 2502、2503 やその他の信号制御回路に適用することができる。

【0136】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0137】なお、本実施例に示した半導体装置を作製するにあたって、実施例 1～実施例 6 のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。また、実施例 7～10、実施例 11 に示した電気光学装置や半導体回路をその様に組み合わせて用いても良い。

【0138】

【発明の効果】本願発明を実施することで、再現性が高く TFT の安定性を向上し、生産性の高い LDD 構造を備えた TFT を得ることができる。

【0139】本発明を利用することにより、実施者は、回路構成の必要に応じて適宜第 2 のマスクのマスク設計を決定することにより、TFT のチャネル形成領域の両側または片側に、所望の LDD 領域を形成することができる。例えば、チャネル長方向の幅が、 $0.5 \sim 3 \mu\text{m}$ 、代表的には $1 \sim 2 \mu\text{m}$ である第 1 の LDD 領域を有する第 1 の N チャネル型 TFT と、チャネル長方向の幅

が、 $0.3 \sim 2 \mu\text{m}$ 、代表的には $0.3 \sim 0.7 \mu\text{m}$ である第 2 の LDD 領域を有する第 2 の N チャネル型 TFT と、

【0140】また、LDD 構造を形成するために使用されたマスクをそのまま遮光膜として用い、活性層、特にチャネル形成領域を光の劣化から保護して信頼性を向上することが実現できる。また、マスクの除去工程を省略することで、短時間での TFT の製造を可能とした。

【0141】さらに、本発明を用いて LDD 領域を形成するためには、(ソース/ドレイン電極形成まで) マスク数が従来 (最低 8 枚) よりも少ないマスク数 (最低 7 枚) とすることができた。

マスク①ゲート配線の形成

マスク②アイランドの形成

マスク③第 2 のマスクの形成

マスク④P 型の導電性を付与するドーピングマスクの形成

マスク⑤ソース/ドレイン領域へのコンタクトホール形成

20 マスク⑥ゲート配線へのコンタクトホール形成

マスク⑦ソース/ドレイン電極の形成

【0142】また、本発明を実施するにあたっては、幾つかの装置を導入するだけで従来のアモルファスシリコン TFT の製造ラインをそのまま使用することが可能であるため、工業上、有益である。

【0143】加えて、ゲート配線と他の配線との交差部においては、マスクが絶縁膜として機能するため、配線間容量を低減して TFT の電気特性を向上することが実現できる。

30 【0144】また、大気にふれることなくゲート絶縁膜と半導体膜を積層形成することで、極めて清浄な界面を実現することができる。この様な構成により、特に TFT の電気特性を左右する活性層とゲート絶縁膜との界面を清浄なものとするので、ばらつきが少なく、且つ、良好な電気特性を示す TFT が実現される。

【0145】この時、TFT の代表的なパラメータであるしきい値電圧は N チャネル型 TFT で $-0.5 \sim -2 \text{ V}$ 、P チャネル型 TFT で $0.5 \sim 2 \text{ V}$ を実現できる。また、サブスレッショルド係数 (S 値) は $0.1 \sim 0.3 \text{ V/decade}$ を実現できる。

40 【図面の簡単な説明】

【図 1】 半導体装置の構造の一例を示す断面図 (実施例 1)。

【図 2】 画素マトリクス回路及び CMOS 回路の上面図 (実施例 1)。

【図 3】 TFT の作製工程を示す図 (実施例 1)。

【図 4】 TFT の作製工程を示す図 (実施例 1)。

【図 5】 半導体装置の構造の一例を示す断面図 (実施例 5)。

50 【図 6】 半導体装置の構造の一例を示す断面図 (実

施例 6)。

【図 7】 画素マトリクス回路部の一例を示す断面図及び上面図（実施例 7）。

【図 8】 インバータ回路図、上面図及び断面構造図の一例を示す断面図（実施例 8）。

【図 9】 バッファ回路図及び断面構造図（実施例 9）。

【図 10】 半導体装置（液晶表示装置）の構成を示す図（実施例 10）。

【図 11】 半導体装置（電子機器）の例を示す図（実施例 12）。

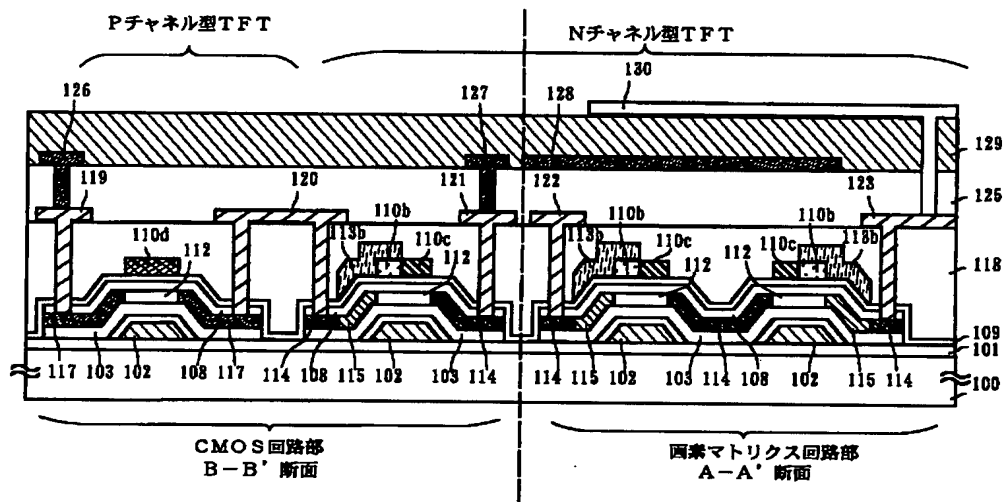
【図 12】 成膜装置の一例を示す図（実施例 1）。

【符号の説明】

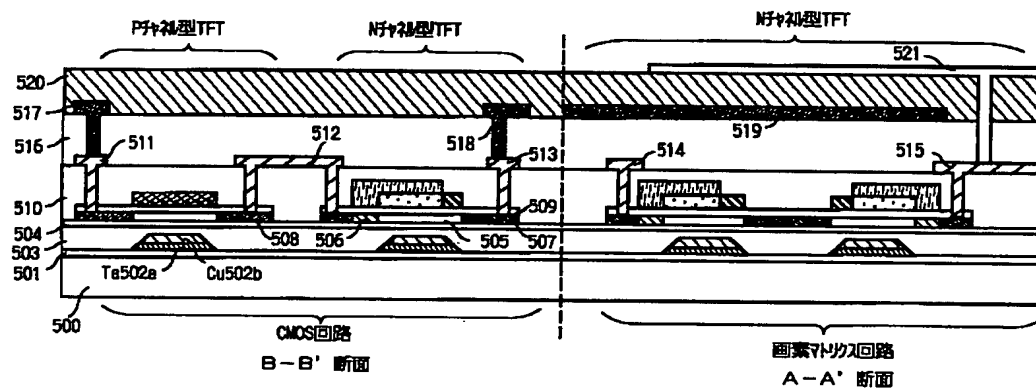
100 基板
101 下地膜
102 ゲート配線

103 ゲート絶縁膜
104 半導体膜（初期半導体膜）
105 絶縁膜
106 酸化膜
107 結晶性半導体膜
108 第 1 の保護膜
109 第 2 の保護膜
110 a～d 第 1 のマスク
111、115 n⁻ 領域（低濃度不純物領域）
112 チャンネル形成領域
113 a、113 b 第 2 のマスク
114 n' 領域（高濃度不純物領域）
116 第 3 のマスク
117 P 型領域（高濃度不純物領域）
118 第 1 の層間絶縁膜
119～123 配線

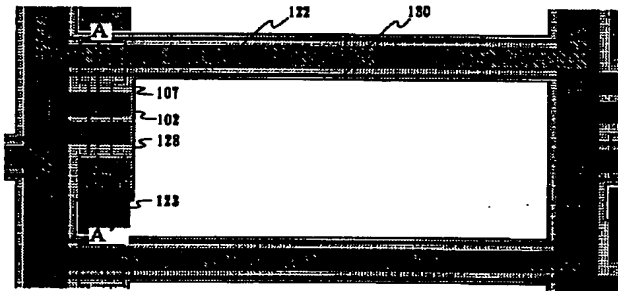
【図 1】



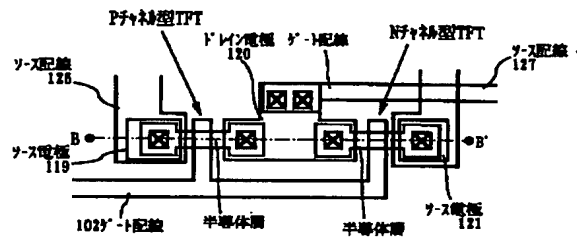
【図 5】



【図 2】

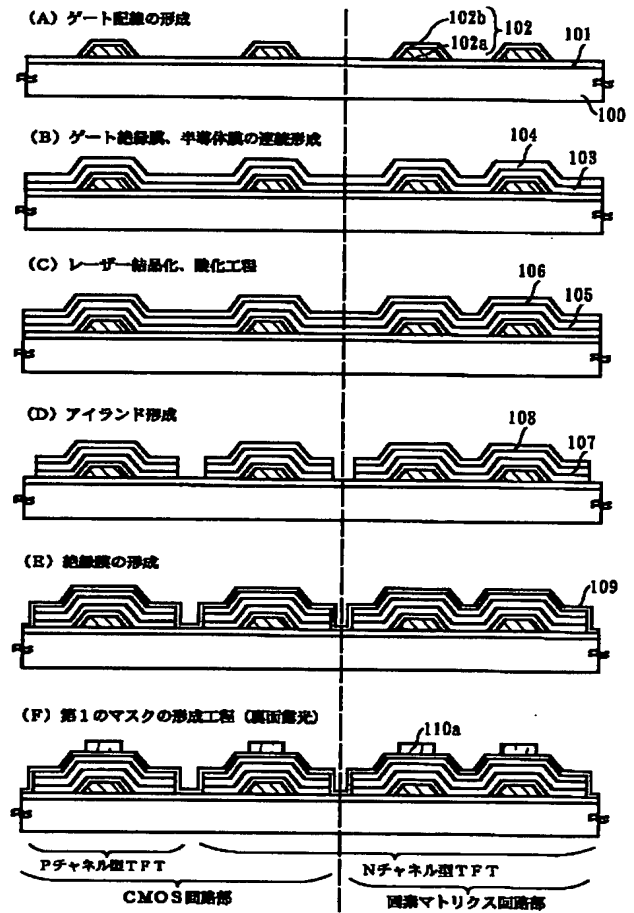


(A) 图案マトリクス回路部の上面図

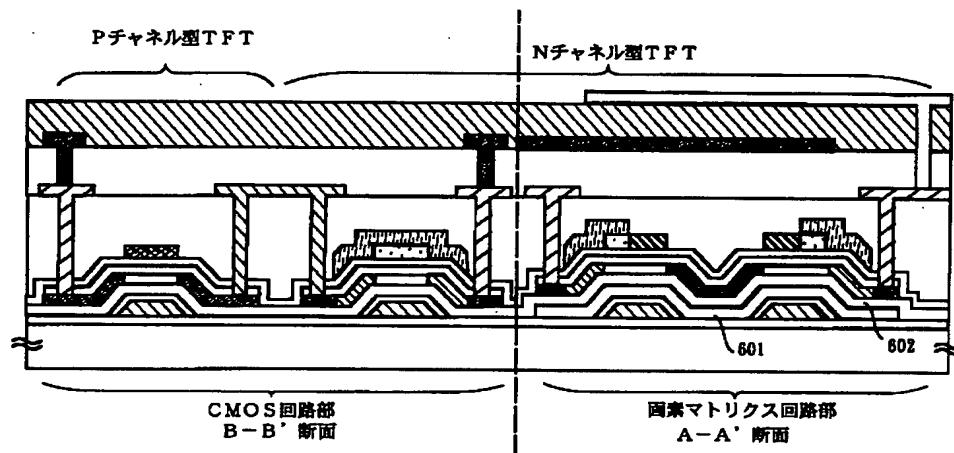


(B) CMOS回路の上面図

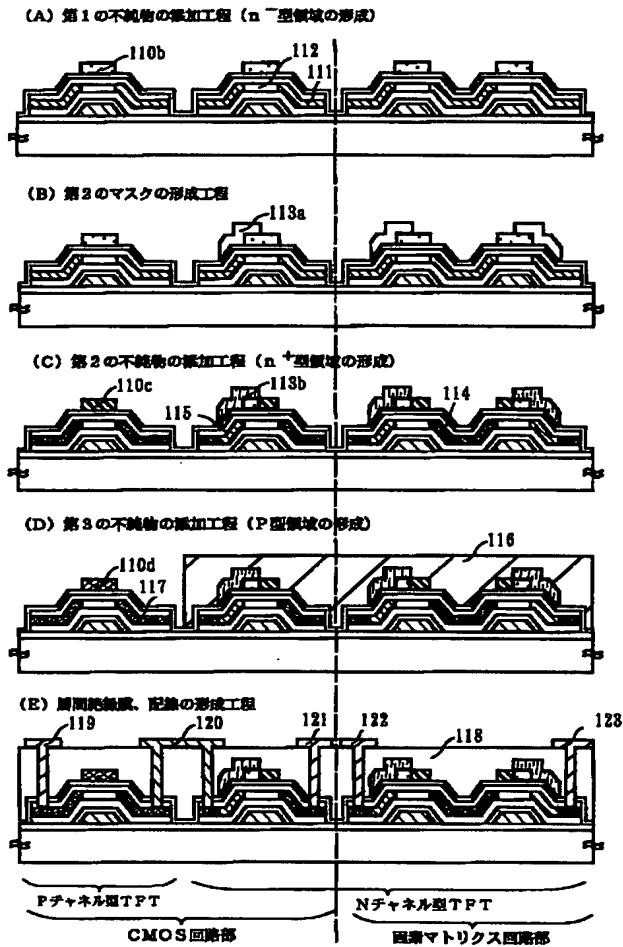
【図 3】



【図 6】

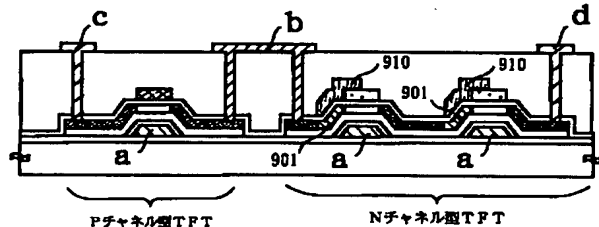
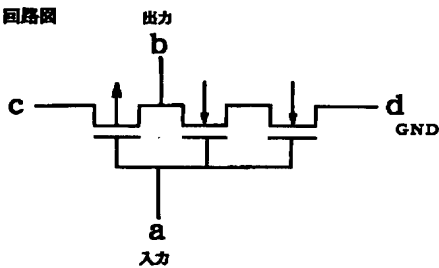


【図 4】



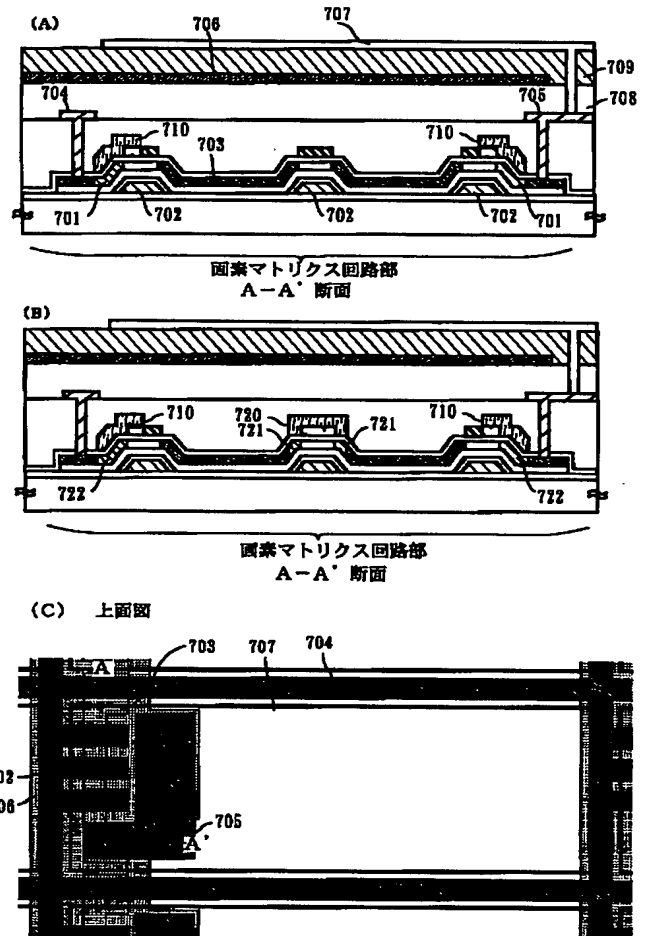
【図 9】

バッファ回路図

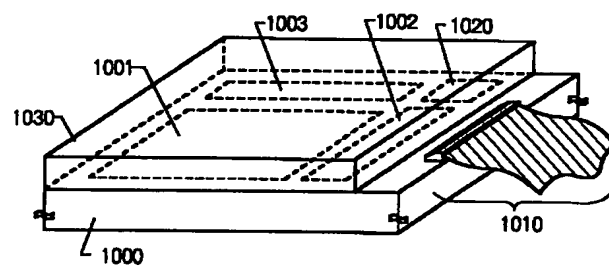


バッファ回路の断面構造図

【図 7】



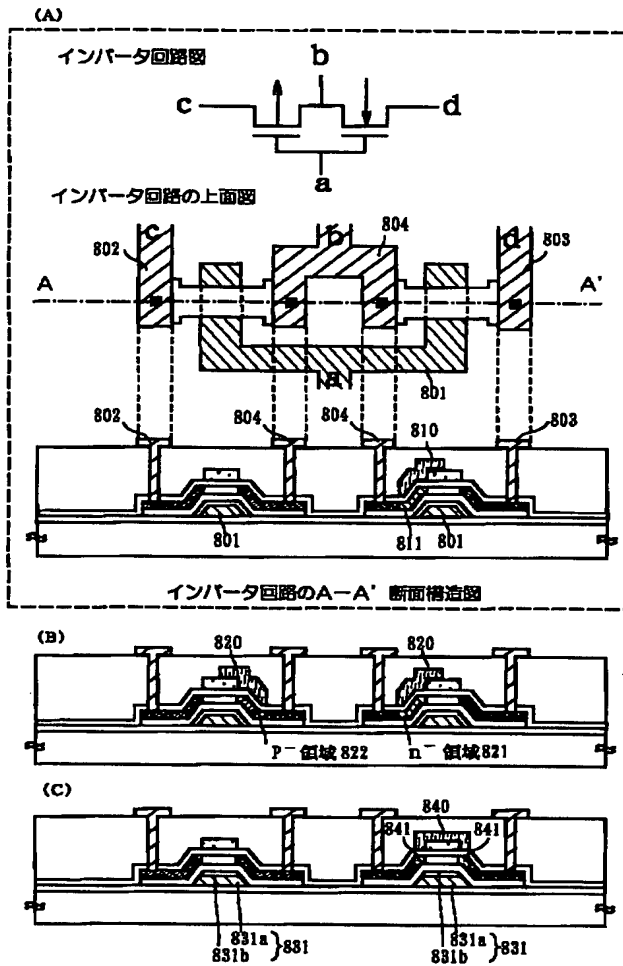
【図 10】



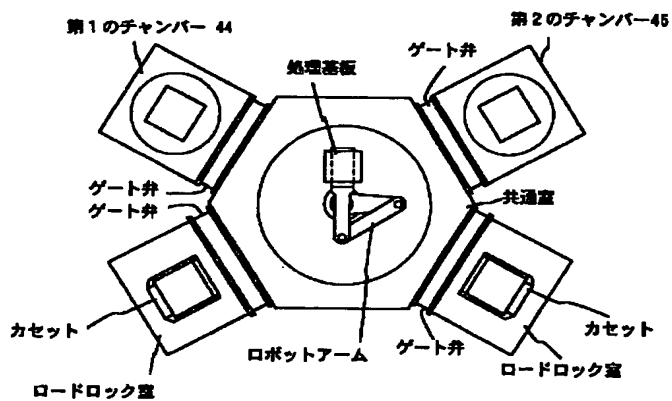
アクティブマトリクス基板

1000: 基板
1001: ゲート回路
1002: データ線回路、1003: 信号線駆動回路
1010: FPC
1020: ロジック回路
1030: 対向基板

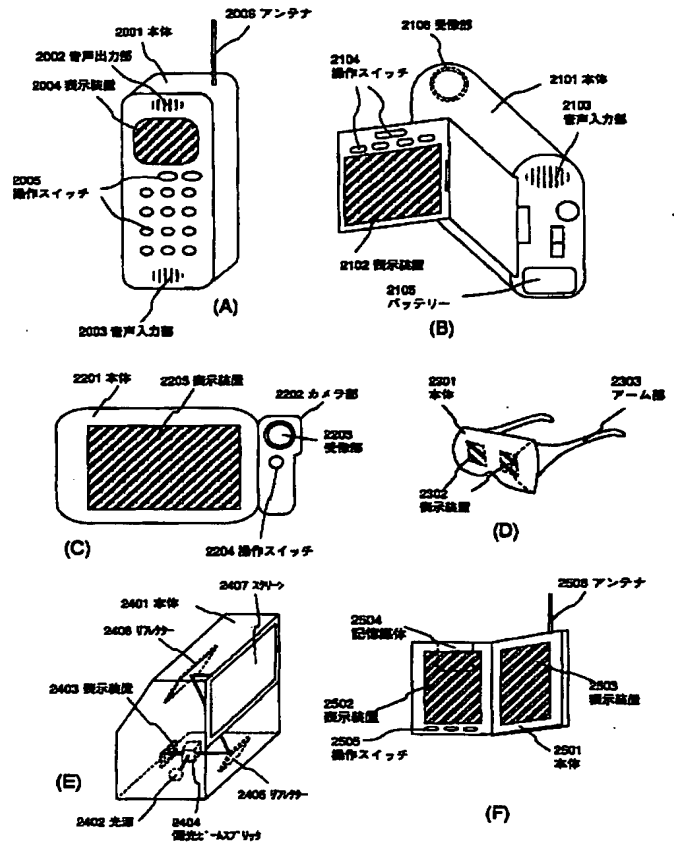
【図 8】



【図 1 2】



【図 1 1】



フロントページの続き

Fターム(参考) 5C094 AA13 AA25 AA37 AA42 AA43
AA48 AA53 BA03 BA43 CA19
DA09 DA13 DB04 EA04 EA07
FA01 FB01 FB14 FB16 GB00
HA08 JA20